

#2
OK
10-4-01

S/N unknown

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kenichi KAWAGUCHI Serial No.: unknown
Filed: concurrent herewith Docket No.: 10873.744US01
Title: DATA TRANSFER APPARATUS AND DATA TRANSFER METHOD

11011 U.S. PTO
09/897574
07/02/01

CERTIFICATE UNDER 37 CFR 1.10

'Express Mail' mailing label number: EL815539632US

Date of Deposit: 2 July 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service 'Express Mail Post Office To Addressee' service under 37 CFR 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

By: 

Name: Brant Miles

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

The Applicant encloses herewith one certified copy of a Japanese application, Serial No. 2000-202675, filed 4 July 2000, the right of priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

MERCHANT & GOULD P.C.
P.O. Box 2903
Minneapolis, Minnesota 55402-0903
(612) 332-5300

By: 

Douglas P. Mueller
Reg. No. 30,300

Dated: 2 July 2001

DPM/kjr

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月 4日

出 願 番 号

Application Number:

特願2000-202675

出 願 人

Applicant(s):

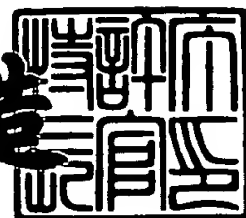
松下電器産業株式会社



2001年 4月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3036149

【書類名】 特許願

【整理番号】 R4138

【提出日】 平成12年 7月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/16

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 川口 謙一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100095555

【弁理士】

【氏名又は名称】 池内 寛幸

【電話番号】 06-6361-9334

【選任した代理人】

【識別番号】 100076576

【弁理士】

【氏名又は名称】 佐藤 公博

【選任した代理人】

【識別番号】 100107641

【弁理士】

【氏名又は名称】 鎌田 耕一

【選任した代理人】

【識別番号】 100110397

【弁理士】

【氏名又は名称】 帛丘 圭司

【選任した代理人】

【識別番号】 100115255

【弁理士】

【氏名又は名称】 辻丸 光一郎

【選任した代理人】

【識別番号】 100115152

【弁理士】

【氏名又は名称】 黒田 茂

【手数料の表示】

【予納台帳番号】 012162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004605

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送装置および方法

【特許請求の範囲】

【請求項 1】 システムバスとローカルバスとの間に接続された連想メモリと

前記連想メモリのデータ入出力を制御するコントローラを備え、

前記コントローラは、

前記システムバス上のデバイス間で転送されているアドレスとデータを取り込んで前記連想メモリに複製記憶し、

前記ローカルバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれている場合は、前記連想メモリから該当するデータを読み出して前記ローカルバスに転送することを特徴とするデータ転送装置。

【請求項 2】 前記コントローラは、前記システムバスにおいて、あるデバイスから他のデバイスへのデータの書き込みサイクルが発生していることを判別すれば、前記デバイス間で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶する請求項 1 に記載のデータ転送装置。

【請求項 3】 前記コントローラは、前記システムバス上の少なくとも一つのデバイスコントローラのデータ出力イネーブル信号線をモニタし、該データ出力イネーブル信号線がアサートされたときに、前記システムバス上で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶する請求項 1 に記載のデータ転送装置。

【請求項 4】 前記コントローラは、前記システムバス上の少なくとも一つのデバイスコントローラのデータ出力ストローブ信号線をモニタし、該データ出力ストローブ信号線がアサートされたときに、前記システムバス上で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶する請求項 1 に記載のデータ転送装置。

【請求項 5】 前記コントローラは、

前記ローカルバスから受け付けたデータ転送要求の示す転送元アドレスが前記

連想メモリに記憶したアドレスに含まれていない場合は、前記データ転送要求に対して転送処理が完了していないアドレスを示すデータ有効情報を第2の連想メモリに記憶し、

前記システムバス上のデバイス間で転送されているアドレスとデータを取り込み、該取り込んだアドレスが前記データ有効情報の示すアドレスである場合は、前記ローカルバスに対して前記データ転送要求に対応するデータとして転送する請求項1に記載のデータ転送装置。

【請求項6】 システムバスとローカルバスとの間に接続された連想メモリと

前記連想メモリのデータ入出力を制御するコントローラを備え、

前記コントローラは、

前記ローカルバス上のデバイス間で転送されているアドレスとデータを取り込んで前記連想メモリに複製記憶し、

前記システムバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれている場合は、前記連想メモリから該当するデータを読み出して前記システムバスに転送することを特徴とするデータ転送装置。

【請求項7】 前記コントローラは、前記ローカルバスにおいて、あるデバイスから他のデバイスへのデータの書き込みサイクルが発生していることを判別すれば、前記デバイス間で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶する請求項6に記載のデータ転送装置。

【請求項8】 前記コントローラは、前記ローカルバス上の少なくとも一つのデバイスコントローラのデータ出力イネーブル信号線をモニタし、該データ出力イネーブル信号線がアサートされたときに、前記ローカルバス上で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶する請求項6に記載のデータ転送装置。

【請求項9】 前記コントローラは、前記ローカルバス上の少なくとも一つのデバイスコントローラのデータ出力ストロブ信号線をモニタし、該データ出力ストロブ信号線がアサートされたときに、前記ローカルバス上で転送されるア

ドレスとデータを取り込んで前記連想メモリに複製記憶する請求項6に記載のデータ転送装置。

【請求項10】 前記コントローラは、

前記システムバスから受け付けたデータ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれていない場合は、前記データ転送要求に対して転送処理が完了していないアドレスを示すデータ有効情報を第2の連想メモリに記憶し、

前記ローカルバス上のデバイス間で転送されているアドレスとデータを取り込み、該取り込んだアドレスが前記データ有効情報の示すアドレスである場合は、前記システムバスに対して前記データ転送要求に対応するデータとして転送する請求項6に記載のデータ転送装置。

【請求項11】 システムバスとローカルバスとの間に接続された連想メモリと、

前記連想メモリのデータ入出力を制御するコントローラを備え、

前記コントローラは、

前記システムバス上のデバイス間で転送されているアドレスとデータを取り込んで前記連想メモリに複製記憶し、

前記ローカルバス上のデバイス間で転送されているアドレスとデータを取り込んで前記連想メモリに複製記憶し、

前記ローカルバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれている場合は、前記連想メモリから該当するデータを読み出して前記ローカルバスに転送し、

前記システムバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれている場合は、前記連想メモリから該当するデータを読み出して前記システムバスに転送することを特徴とするデータ転送装置。

【請求項12】 システムバスとローカルバスとの間のデータ入出力を制御する方法であって、

前記システムバス上のデバイス間で転送されているアドレスとデータを取り込

んで複製記憶するバッファリング処理と、

前記ローカルバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記バッファリング処理において記憶したアドレスに含まれている場合は、該当するデータを読み出して前記ローカルバスに転送する処理を備えたことを特徴とするデータ転送方法。

【請求項 1 3】 システムバスとローカルバスとの間のデータ入出力を制御する方法であって、

前記ローカルバス上のデバイス間で転送されているアドレスとデータを取り込んで複製記憶するバッファリング処理と、

前記システムバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記バッファリング処理において記憶したアドレスに含まれている場合は、該当するデータを読み出して前記システムバスに転送する処理を備えたことを特徴とするデータ転送方法。

【請求項 1 4】 システムバスとローカルバスとの間のデータ入出力を制御する方法であって、

前記システムバス上のデバイス間で転送されているアドレスとデータを取り込んで複製記憶する第 1 のバッファリング処理と、

前記ローカルバス上のデバイス間で転送されているアドレスとデータを取り込んで複製記憶する第 2 のバッファリング処理と、

前記ローカルバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記第 1 のバッファリング処理において記憶したアドレスに含まれている場合は、該当するデータを読み出して前記ローカルバスに転送する第 1 のデータ転送処理と、

前記システムバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記第 2 のバッファリング処理において記憶したアドレスに含まれている場合は、該当するデータを読み出して前記システムバスに転送する第 2 のデータ転送処理を備えたことを特徴とするデータ転送方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はデータ転送装置および方法に関するものである。特に、ローカルバスからシステムバス上の記憶装置のデータへのアクセス、システムバス上からローカルバス上の記憶装置のデータへのアクセスにおけるデータ転送を効率化したデータ転送装置および方法に関する。

【0002】

【従来の技術】

従来、CPUの接続したシステムバスとI/O機器の接続したローカルバスの間でのデータ転送は、バスブリッジを介して行い、I/O機器からシステムバス上の主記憶装置にあるデータにアクセスする場合、バスブリッジにリクエストを出し、バスブリッジがシステムバスの使用権を獲得し、システムバス上で主記憶装置に対してリードサイクルを発生させ、データを取得後、ローカルバスにデータを転送していた。

【0003】

次に、従来のデータ転送装置について、図を用いて詳しく説明する。

【0004】

図7は従来のデータ転送装置の概念を示した概略構成図である。図7において、1はCPU、2はバス調停部、3は主記憶装置、4はI/O機器、5はバスブリッジ、6はブリッジ制御部、7はバス調停部、8はアドレス・データ制御部である。CPU1とバス調停部2と主記憶装置3はシステムバス上に設けられ、I/O機器4はローカルバス上に設けられている。

【0005】

図8は上述した従来のデータ転送装置でバスブリッジを介してローカルバス上のI/O機器4が主記憶装置3からデータを転送する場合のタイミングチャートを示す図である。一例として主記憶装置3内のアドレス4000からデータを転送する場合を示した。

【0006】

図8において、51から56まではシステムバスの状態を示しており、51はシステムバスの使用権の状態、52はバスブリッジ5からバス調停部2へのリク

エスト信号線の状態、53はバス調停部2からバスブリッジ5へのアクノリッジ信号線の状態、54はシステムバスのアドレス線の状態、55はシステムバスのデータ線の状態、56はシステムバスのリード／ライト線の状態を示している。57から61まではローカルバスの状態を示しており、57はI／O機器4からバス調停部7へのリクエスト信号線の状態、58はバス調停部7からI／O機器4へのアクノリッジ信号線の状態、59はローカルバスのアドレス線の状態、60はローカルバスのデータ線の状態、61はローカルバスのリード／ライト線の状態を示している。

【0007】

図8のタイミングチャートにおいて、I／O機器4からデータ転送要求が発生するのに先立って、71から78に示すように、システムバス上でCPU1が主記憶装置3内のアドレス4000、4004、4008にデータをライトしている動作が行われているものとする。

【0008】

このシステムバス9において主記憶装置3に対するデータのライト動作が行われている間に、I／O機器4から主記憶装置3内のアドレス4000へのデータリード要求が発生した場合の動作を説明する。

【0009】

まず、79に示すように、リクエスト信号線がアサートされ、バス調停部7に対してバス使用権が要求される。次に、80に示すように、アクノリッジ信号線がバス調停部7によってアサートされ、次に、81に示すように、バス調停部7はバス調停部2に対してリクエスト信号線をアサートしてシステムバスの使用権を要求する。また、82に示すように、I／O機器4によってローカルバスにアドレス4000がドライブされる。

【0010】

ここで、バス調停部2はシステムバスの使用権を付与するタイミングを調整する。バス調停部2は、システムバス上で実行されているデータ転送が終了するまでバス調停部7に対するアクノリッジ信号線をアサートせず、CPU1がデータ転送を終了してから83に示すように、アクノリッジ信号線をアサートしてバス

ブリッジ 5 に対してバスの使用を許可する。次に、84 に示すようにアドレス・データ制御部 8 からアドレス 4000 がシステムバスにドライブされ、85 に示すように、主記憶装置 4 からデータが送られる。次に、86 に示すように、このデータがローカルバスにドライブされて I/O 機器 4 が受け取ることにより、データ転送が終了する。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、上記従来のデータ転送装置では、システムバスが使用中であれば、バス調停部 2 およびバス調停部 7 の連携によるバス調停が行われるため、バスブリッジ 5 がシステムバスの使用権を得て、システムバス上の主記憶装置 3 にアクセスし、主記憶装置 3 からデータをバスブリッジ 5 に転送するまでに遅延時間が発生し、データ転送が遅くなるという課題がある。

【 0 0 1 2 】

本発明は上記課題を解決するため、従来のようなバス調停実行によるバス使用権の取得によらず、ローカルバスからシステムバス上の記憶装置内のデータへのアクセスおよびシステムバス上からローカルバス上の記憶装置内のデータへのアクセスにおけるデータ転送を効率化したデータ転送装置および方法を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

上記の課題を解決するため、本発明の第 1 のデータ転送装置は、システムバスとローカルバスとの間に接続された連想メモリと、前記連想メモリのデータ入出力を制御するコントローラを備え、前記コントローラは、前記システムバス上のデバイス間で転送されているアドレスとデータを取り込んで前記連想メモリに複製記憶し、前記ローカルバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれている場合は、前記連想メモリから該当するデータを読み出して前記ローカルバスに転送することを特徴とする。

【 0 0 1 4 】

上記構成により、システムバス上のデバイス間で転送されているアドレスとデータを取り込んで連想メモリに複製記憶しておくので、ローカルバスからのデータ転送要求における指定アドレスが当該連想メモリ内に取り込んだデータに対応するものであれば、システムバスの記憶装置のデータに代えて連想メモリ内のデータをローカルバスに転送することができる。つまり、直接システムバスにアクセスする必要がなく、バス調停に起因するデータ転送の遅延が発生せず、データ転送の効率化を図ることができる。

【 0 0 1 5 】

また、本発明のデータ転送装置において、前記コントローラは、前記システムバスにおいて、あるデバイスから他のデバイスへのデータの書き込みサイクルが発生していることを判別すれば、前記デバイス間で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶することが好ましい。

【 0 0 1 6 】

上記構成により、本発明のデータ転送装置の連想メモリにおいて取り込むべきデータを特定し、取り込むタイミングをシステムバスにおけるあるデバイスから他のデバイスへのデータの書き込みサイクルが発生のタイミングとすることができる。

【 0 0 1 7 】

また、本発明のデータ転送装置において、前記コントローラは、前記システムバス上の少なくとも一つのデバイスコントローラのデータ出力イネーブル信号線をモニタし、該データ出力イネーブル信号線がアサートされたときに、前記システムバス上で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶することが好ましい。

【 0 0 1 8 】

上記構成により、本発明のデータ転送装置の連想メモリにおいて取り込むべきデータを特定し、取り込むタイミングをシステムバス上の少なくとも一つのデバイスコントローラのデータ出力イネーブル信号線のアサートのタイミングとすることができる。

【 0 0 1 9 】

また、本発明のデータ転送装置において、前記コントローラは、前記システムバス上の少なくとも一つのデバイスコントローラのデータ出力ストローブ信号線をモニタし、該データ出力ストローブ信号線がアサートされたときに、前記システムバス上で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶することが好ましい。

【 0 0 2 0 】

上記構成により、本発明のデータ転送装置の連想メモリにおいて取り込むべきデータを特定し、取り込むタイミングをシステムバス上の少なくとも一つのデバイスコントローラのデータ出力ストローブ信号線のアサートのタイミングとすることができる。

【 0 0 2 1 】

また、本発明のデータ転送装置において、前記コントローラは、前記ローカルバスから受け付けたデータ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれていない場合は、前記データ転送要求に対して転送処理が完了していないアドレスを示すデータ有効情報を第2の連想メモリに記憶し、前記システムバス上のデバイス間で転送されているアドレスとデータを取り込み、該取り込んだアドレスが前記データ有効情報の示すアドレスである場合は、前記ローカルバスに対して前記データ転送要求に対応するデータとして転送することが好ましい。

【 0 0 2 2 】

上記構成により、本発明のデータ転送装置の連想メモリ内に、ローカルバスから受け付けたデータ転送要求に相当する転送元アドレスのデータが含まれていない場合であっても、すぐにシステムバスへの割り込みを掛けることなく、第2の連想メモリに取り込み指定を示すデータ有効情報を保持しておくことができ、バス使用権確保を待つ間に第1の連想メモリからのデータ転送が可能となれば、データを転送することができ、データ転送の効率化を図ることができる。

【 0 0 2 3 】

次に、本発明の第2のデータ転送装置は、システムバスとローカルバスとの間に接続された連想メモリと、前記連想メモリのデータ入出力を制御するコントロ

ーラを備え、前記コントローラは、前記ローカルバス上のデバイス間で転送されているアドレスとデータを取り込んで前記連想メモリに複製記憶し、前記システムバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれている場合は、前記連想メモリから該当するデータを読み出して前記システムバスに転送することを特徴とする。

【 0 0 2 4 】

上記構成により、ローカルバス上のデバイス間で転送されているアドレスとデータを取り込んで連想メモリに複製記憶しておくので、システムバスからのデータ転送要求における指定アドレスが当該連想メモリ内に取り込んだデータに対応するものであれば、ローカルバスの記憶装置のデータに代えて連想メモリ内のデータをシステムバスに転送することができる。つまり、直接ローカルバスにアクセスする必要がなく、バス調停に起因するデータ転送の遅延が発生せず、データ転送の効率化を図ることができる。

【 0 0 2 5 】

また、本発明のデータ転送装置において、前記コントローラは、前記ローカルバスにおいて、あるデバイスから他のデバイスへのデータの書き込みサイクルが発生していることを判別すれば、前記デバイス間で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶することが好ましい。

【 0 0 2 6 】

上記構成により、本発明のデータ転送装置の連想メモリにおいて取り込むべきデータを特定し、取り込むタイミングをローカルバスにおけるあるデバイスから他のデバイスへのデータの書き込みサイクルが発生のタイミングとすることができ。

【 0 0 2 7 】

また、本発明のデータ転送装置において、前記コントローラは、前記ローカルバス上の少なくとも一つのデバイスコントローラのデータ出力イネーブル信号線をモニタし、該データ出力イネーブル信号線がアサートされたときに、前記ローカルバス上で転送されるアドレスとデータを取り込んで前記連想メモリに複製記

憶することが好ましい。

【0028】

上記構成により、本発明のデータ転送装置の連想メモリにおいて取り込むべきデータを特定し、取り込むタイミングをローカルバス上の少なくとも一つのデバイスコントローラのデータ出力イネーブル信号線のアサートのタイミングとすることができる。

【0029】

また、本発明のデータ転送装置において、前記コントローラは、前記ローカルバス上の少なくとも一つのデバイスコントローラのデータ出力ストロブ信号線をモニタし、該データ出力ストロブ信号線がアサートされたときに、前記ローカルバス上で転送されるアドレスとデータを取り込んで前記連想メモリに複製記憶することが好ましい。

【0030】

上記構成により、本発明のデータ転送装置の連想メモリにおいて取り込むべきデータを特定し、取り込むタイミングをローカルバス上の少なくとも一つのデバイスコントローラのデータ出力ストロブ信号線のアサートのタイミングとすることができる。

【0031】

また、本発明のデータ転送装置において、前記コントローラは、前記システムバスから受け付けたデータ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれていない場合は、前記データ転送要求に対して転送処理が完了していないアドレスを示すデータ有効情報を第2の連想メモリに記憶し、前記ローカルバス上のデバイス間で転送されているアドレスとデータを取り込み、該取り込んだアドレスが前記データ有効情報の示すアドレスである場合は、前記システムバスに対して前記データ転送要求に対応するデータとして転送することが好ましい。

【0032】

上記構成により、本発明のデータ転送装置の連想メモリ内に、システムバスから受け付けたデータ転送要求に相当する転送元アドレスのデータが含まれていな

い場合であっても、すぐにローカルバスへの割り込みを掛けることなく、第2の連想メモリに取り込み指定を示すデータ有効情報を保持しておくことができ、バス使用権確保を待つ間に第1の連想メモリからのデータ転送が可能となれば、データを転送することができ、データ転送の効率化を図ることができる。

【0033】

次に、本発明の第3のデータ転送装置は、システムバスとローカルバスとの間に接続された連想メモリと、前記連想メモリのデータ入出力を制御するコントローラを備え、前記コントローラは、前記システムバス上のデバイス間で転送されているアドレスとデータを取り込んで前記連想メモリに複製記憶し、前記ローカルバス上のデバイス間で転送されているアドレスとデータを取り込んで前記連想メモリに複製記憶し、前記ローカルバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれている場合は、前記連想メモリから該当するデータを読み出して前記ローカルバスに転送し、前記システムバスからのデータ転送要求を受け付け、該データ転送要求の示す転送元アドレスが前記連想メモリに記憶したアドレスに含まれている場合は、前記連想メモリから該当するデータを読み出して前記システムバスに転送することを特徴とする。

【0034】

上記構成により、システムバス上およびローカルバス上のデバイス間で転送されているアドレスとデータを取り込んで連想メモリに複製記憶しておくので、システムバスからのデータ転送要求における指定アドレスまたはローカルバスからのデータ転送要求における指定アドレスが当該連想メモリ内に取り込んだデータに対応するものであれば、システムバスまたはローカルバスの記憶装置のデータに代えて連想メモリ内のデータをシステムバスに転送することができる。つまり、直接システムバスまたはローカルバスにアクセスする必要がなく、バス調停に起因するデータ転送の遅延が発生せず、データ転送の効率化を図ることができる。

【0035】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。

【0036】

(実施形態1)

図1は本発明の実施形態1にかかるデータ転送装置の概略構成図である。

【0037】

まず、図1の各要素の説明を行う。図1において、101はバスブリッジ、102はブリッジ制御部、103はバス調停部、104はアドレス・データ制御部である。105は連想メモリ制御部、106は連想メモリ、107はアドレス比較部である。108は第2の連想メモリである。この実施形態1の例は、第2の連想メモリ108を含んだ構成としている。第2の連想メモリの働きは、ローカルバスから受け付けたデータ転送要求の示す転送元アドレスが連想メモリ106に記憶したアドレスに含まれていない場合に、データ転送要求に対して転送処理が完了していないアドレスを示すデータ有効情報を記憶しておくものであり、未処理のデータ転送要求を一時的に保持しておく効果を持つ。その後、システムバス上のデバイス間で転送されているアドレスとデータのバッファリング処理において取り込まれたアドレスがデータ有効情報の示すアドレスであるか否かを確認することにより、未処理のデータ転送要求にかかるデータが取りこまれたか否かを確認することができる。データ有効情報の示すアドレスと一致する場合は取りこんだデータをローカルバスに対してデータ転送要求に対応するデータとして転送する処理が可能となる。

【0038】

109から112は連想メモリ106の各エントリの構成要素であり、109はエントリ番号、110はアドレス情報、111はデータ情報、112は有効ビットである。また、113から116は第2の連想メモリ108の構成要素であり、113はアドレス情報、114はデータ情報、115はアドレス有効ビット、116はデータ有効ビットである。

【0039】

次に、117から124は連想メモリ106と連想メモリ制御部105の間の信号線であり、117はライトエントリセレクト信号線、118はライトイネー

ブル信号線、119はライトアドレス情報信号線、120はライトデータ情報信号線、121はリードエントリセレクト信号線、122はリードアドレス情報信号線、123はリードデータ情報信号線、124は有効ビット信号線である。

【0040】

125はプロトコルチェッカ、126および127はチップセレクト信号線、128は出力イネーブル信号線、129はデータ・アクノリッジ信号線であり、CPU1とプロトコルチェッカ125の間の信号線である。130はリクエスト信号線、131はアクノリッジ信号線、132はシステムバス、133はCPU、134はバス調停部、135は主記憶装置、136はI/O機器、137はローカルバス、138はI/O機器、139はリクエスト信号線、140はアクノリッジ信号線である。

【0041】

このうち、バスブリッジ101、CPU133、主記憶装置135、I/O機器136はシステムバス132上で接続しており、また、バスブリッジ101、I/O機器138、はローカルバス137上で接続している。

【0042】

バスブリッジ101全体の動作は、CPU133からローカルバス137上のデバイスへのアクセスサイクルがシステムバス132上で発生した場合、そのサイクルをローカルバス137上のサイクルに変換する。また、I/O機器138からシステムバス132上の主記憶装置135へのアクセスサイクルが発生した場合、バス調停部103からリクエスト信号線130を通じてバス調停部134にシステムバス132の使用権のリクエストを出し、アクノリッジ信号線131を通じてアクノレッジを受け取ると、そのサイクルをシステムバス132上のサイクルに変換する。

【0043】

ブリッジ制御部102、バス調停部103、アドレス・データ制御部104、連想メモリ制御部105、連想メモリ106、アドレス比較部107、第2の連想メモリ108はバスブリッジ101の内部に存在する構成要素である。

【0044】

ブリッジ制御部102は、バスブリッジ101全体の動作の制御を行うものである。

【0045】

バス調停部103は、バスブリッジ101とI/O機器138のローカルバス使用权の調停を行うものである。

【0046】

アドレス・データ制御部104は、システムバス132上のサイクルとローカルバス137上のサイクルとの変換を相互に行う機能を持つ。また、連想メモリ制御部105、アドレス比較部107、第2の連想メモリ108とも接続し、連想メモリ制御部105とのアドレス、データの入出力を制御するものである。

【0047】

連想メモリ制御部105は、連想メモリ106へのデータ入出力の制御を行うものであり、連想メモリ106とライトエントリセレクト信号線117、ライトイネーブル信号線118、ライトアドレス情報信号線119、ライトデータ情報信号線、リードエントリセレクト信号線120、リードエントリセレクト信号線121、リードアドレス情報信号線122、リードデータ情報信号線123、有効ビット124で接続されている。また、第2の連想メモリ108とも接続され、データの入出力の制御を行う。また、内部にチップセレクト信号線126、127、出力イネーブル信号線128およびデータ・アクノリッジ信号線129と接続されたプロトコルチェッカ125をもち、バスサイクルを検知し、システムバス132上のサイクルがリードサイクルのときは、これらの信号線から連想メモリ106もしくは第2の連想メモリ108にデータを転送するタイミングであると判別する。

【0048】

チップセレクト信号線126は、CPU133から主記憶装置135へのチップセレクト信号線であり、チップセレクト信号線127は、CPU133からI/O機器136へのチップセレクト信号線である。

【0049】

連想メモリ106は4つのエントリからなり、各エントリはエントリ番号10

9、アドレス情報110、データ情報111、有効ビット112から成る。ライトイネーブル信号線118がオンのとき、ライトエントリセレクト信号線117で指定されたエントリ番号をもつエントリのアドレス情報110、データ情報111を、それぞれライトアドレス情報信号線119の値と、ライトデータ情報信号線120の値で上書きすると同時に、有効ビット112をオンにする。また、リードエントリセレクト信号線121で指定されたエントリ番号をもつエントリのアドレス情報110、データ情報111を、それぞれリードアドレス情報信号線122と、リードデータ情報信号線123にドライブする。

【0050】

バス調停部103とバス調停部134はリクエスト信号線130とアクノリッジ信号線131で接続されている。また、バス調停部103はI/O機器138とリクエスト信号線139およびアクノリッジ信号線140で接続されている。

【0051】

アドレス比較部107はアドレス・データ制御部104および連想メモリ制御部105と接続されており、双方から受けるアドレスの値が一致するとき、ブリッジ制御部102に通知する。

【0052】

第2の連想メモリ108は、連想メモリ制御部105と接続され、ローカルバスからのデータ転送要求に対して該当するデータが連想メモリ106に含まれていない場合に連想メモリ制御部105から当該データ転送要求にかかるアドレスが書き込まれる。当該アドレスをアドレス情報113に保持し、アドレス有効ビット115をオンにする。また、データが書き込まれると、それをデータ情報114に保持し、データ有効ビット116をオンにする。このアドレス有効ビット115、データ有効ビット116がオンとなることにより未処理のデータ転送要求が存在していることが示される。バッファリング処理が進み、データ転送要求にかかるデータが取り込まれる際、第2の連想メモリ108から該当するアドレスおよびデータが読み出されると、連想メモリ制御部105にアドレス情報113の値とデータ情報114の値を転送し、同時にアドレス有効ビット115およびデータ有効ビット116をオフにする。

【0053】

CPU133は内部に持っているバス調停部134がCPU133にシステムバス132の使用権を与えているとき、主記憶装置135、I/O機器136、I/O機器138のいずれかにアクセスしてデータの入出力を行い、また、これらのデータを用いて演算処理を行う。

【0054】

なお、この例では、主記憶装置135にはアドレス0から6FFFのアドレス空間が割り当てられているとする。

【0055】

また、I/O機器136はアドレス7000から7FFFのアドレス空間が割り当てられているとする。

【0056】

バス調停部134はCPU133とバスブリッジ101のシステムバス132の使用権の調停を行う。

【0057】

次に、本実施形態1のデータ転送装置の動作を図を用いて説明する。

【0058】

図2は本実施形態1の動作を表すフロー図である。図2において、201は、システムバスサイクル発生判別処理であり、202は、データバッファリング処理であり、203は、ローカルバスリクエスト発生判別処理であり、204は、バッファデータ転送処理である。

【0059】

システムバスサイクル発生判別処理201は、アドレス・データ制御部104において、システムバス132上にサイクルが発生しているかどうかを判別する処理であり、サイクルが発生しているとき、データバッファリング処理202に移行し、発生していないとき、ローカルバスリクエスト発生判別処理203に移行する。つまり、システムバス132にバスサイクルが発生している場合にはシステムバス132上で転送されているデータを連想メモリ106に取りこむためのデータバッファリング処理202に移行し、システムバス132にバスサイク

ルが発生していない場合には、ローカルバスからのリクエストによるデータ転送処理のためにバス調停が実行されているのか否かを判定する処理に移行する。

【0060】

データバッファリング処理202は、システムバス132上のサイクルで転送されているデータを連想メモリ106もしくは第2の連想メモリ108にバッファリングする処理であり、この処理を終えると、ローカルバスリクエスト発生判別処理203に移行する。

【0061】

ローカルバスリクエスト発生判別処理203は、バス調停部103において、リクエスト信号線139がアサートされているかどうかを判別する処理であり、リクエストが発生しているとき、バッファデータ転送処理204に移行し、発生していないとき、システムバスサイクル発生判別処理201に戻って処理を続行する。

【0062】

バッファデータ転送処理204は、ローカルバス137からのデータ転送要求に対して、データを連想メモリ106もしくは第2の連想メモリ108にバッファリングされているデータを転送する処理であり、この処理を終えると、システムバスサイクル発生判別処理201に戻って処理を続行する。

【0063】

次に、上記のデータバッファリング処理202を詳しく示す。図3はデータバッファリング処理202の詳しい動作を表すフロー図である。図3において、301は、バスブリッジターゲット判別処理、302は、システムバスターゲット処理、303は、アドレス保持処理、304は、アドレス有効ビット判別処理、305は、第2の連想メモリアドレス情報判別処理、306は、サイクル判別処理、307は、第2の連想メモリデータ情報転送処理、308は、ターゲット判別処理、309は、第2の連想メモリOE同期データ情報転送処理、310は、第2の連想メモリDACK同期データ情報転送処理、311は、第2の連想メモリデータ情報有効化処理、312は、エントリ番号選択処理、313は、アドレス情報転送処理、314は、サイクル判別処理、315は、データ情報転送処理

、316は、ターゲット判別処理、317は、OE同期データ情報転送処理、318は、DACK同期データ情報転送処理である。

【0064】

バスブリッジターゲット判別処理301は、アドレス・データ制御部104において、バスブリッジ101が現在のシステムバス132上のサイクルのターゲットであるかどうかを判別する処理であり、ターゲットであるとき、システムバスターゲット処理302に移行し、ターゲットでないとき、アドレス保持処理303に移行する。つまり、バスブリッジ101が現在のシステムバス132上のサイクルのターゲットである場合とは、システムバスからローカルバス上のリソースにアクセスが要求されている場合を指し、この場合は、システムバスターゲット処理302に進み、バッファリング処理202を一旦終了させることとなる。

【0065】

システムバスターゲット処理302は、アドレス・データ制御部104において、バスブリッジ101が現在のシステムバス132上のサイクルのターゲットとして応答する処理であり、この処理を終えると、このデータバッファリング処理202を終了する。

【0066】

アドレス保持処理303は、アドレス・データ制御部104において、システムバスからドライブされたアドレス信号線の値を保持する処理であり、この処理を終えると、アドレス有効ビット判別処理304に移行する。

【0067】

アドレス有効ビット判別処理304は、連想メモリ制御部105において、現在未処理であるデータ転送要求が存在していることを示すアドレス有効ビット115がオンかオフかを判別する処理である。オンであるとき、今回のバッファリング処理において取り込むデータが未処理であるデータ転送要求にかかるものであるか否かを確認すべく、第2の連想メモリアドレス情報判別処理305に移行し、オフであるとき、現在未処理であるデータ転送要求は存在していないので今回のバッファリング処理において取り込むデータを連想メモリ106に格納する。

ためエントリ番号選択処理312に移行する。

【0068】

第2の連想メモリアドレス情報判別処理305は、アドレス比較部107において、アドレス保持処理303で保持されたアドレスと、アドレス情報113に保持されたアドレスとが一致するかどうかを判別する処理であり、一致するとき、今回のバッファリング処理において取り込むデータが未処理であるデータ転送要求にかかるものであるのでサイクル判別処理306に移行し、一致しないとき、今回のバッファリング処理において取り込むデータが未処理であるデータ転送要求にかかるものではないので、取り込んだデータを連想メモリ106に格納するためエントリ番号選択処理312に移行する。

【0069】

サイクル判別処理306は、アドレス・データ制御部104において、現在のシステムバス132上のサイクルがリードサイクルであるかどうかを判別する処理で、リードサイクルであるとき、ターゲット判別処理308に移行し、そうでないとき、第2の連想メモリデータ情報転送処理307に移行する。つまり、リードサイクルである場合にはシステムバス上のどのリソースから当該情報が読み出されるのかを判別する処理に移行し、リードサイクルでなく書き込みサイクルである場合には現在データ線にドライブされている情報を取り込む処理に移行する。

【0070】

第2の連想メモリデータ情報転送処理307は、第2の連想メモリ108において、アドレス情報113にアドレスを書き込む処理であり、この処理を終えると、第2の連想メモリデータ情報有効化処理311に移行する。

【0071】

ターゲット判別処理308は、プロトコルチェッカ125において、チップセレクト信号線126、127からバスターゲットが主記憶装置135であるか、I/O機器136であるかを判別する処理であり、主記憶装置135であるとき、第2の連想メモリOE同期データ情報転送処理309に移行し、I/O機器136であるとき、第2の連想メモリDACK同期データ情報転送処理310に移

行する。

【0072】

第2の連想メモリOE同期データ情報転送処理309は、連想メモリ制御部105およびプロトコルチェッカ125において、出力イネーブル信号線128がアサートされたとき、アドレス・データ制御部104からドライブされているデータ線の値を第2の連想メモリ108のデータ情報114に書き込む処理であり、この処理を終えると、第2の連想メモリデータ情報有効化処理311に移行する。

【0073】

第2の連想メモリDACK同期データ情報転送処理310は、連想メモリ制御部105およびプロトコルチェッカ125において、データ・アクノリッジ信号線129がアサートされたとき、システムバス132のデータ信号線にドライブされているの値をアドレス・データ制御部104を通じて、第2の連想メモリ108のデータ情報114に書き込む処理であり、この処理を終えると、第2の連想メモリデータ情報有効化処理311に移行する。

【0074】

第2の連想メモリデータ情報有効化処理311は、連想メモリ制御部105において、第2の連想メモリ108のデータ有効ビット116をオンにする処理であり、この処理を終えると、データバッファリング処理202を終了する。

【0075】

エントリ番号選択処理312は、連想メモリ制御部105において、アドレス保持処理204で保持されたアドレスの値から、エントリを選択する処理であり、ここでは、具体的に、アドレスの下位4ビットの16進数表現での値が0、8の場合、0を選択し、それ以外の場合、1を選択し、選択した値をライトエントリセレクト信号線117にドライブする処理である。この処理を終えると、アドレス情報転送処理313に移行する。

【0076】

アドレス情報転送処理313は、連想メモリ制御部105において、ライトアドレス情報信号線119にアドレス保持処理204で保持されたアドレスをドラ

イブする処理であり、この処理を終えると、サイクル判別処理 314 に移行する。

【0077】

サイクル判別処理 314 は、アドレス・データ制御部 104 において、現在のシステムバス 132 上のサイクルがリードサイクルであるかどうかを判別する処理で、リードサイクルであるとき、ターゲット判別処理 316 に移行し、そうでないとき、データ情報転送処理 315 に移行する。つまり、リードサイクルである場合にはシステムバス上のどのリソースから情報が読み出されるのかを判別する処理に移行し、リードサイクルでなく書き込みサイクルである場合には現在データ線にドライブされている情報を取り込む処理に移行する。

【0078】

データ情報転送処理 315 は、連想メモリ制御部 105 において、ライトデータ情報信号線 120 にデータをドライブし、また、ライトイネーブル信号線 118 をアサートし、連想メモリ 106 にアドレス情報とデータ情報を書込む処理であり、この処理終えると、データバッファリング処理 202 を終了する。

【0079】

ターゲット判別処理 316 は、プロトコルチェッカ 125 において、チップセレクト信号線 126、127 からバスターゲットが主記憶装置 135 であるか、I/O 機器 136 であるかを判別する処理であり、主記憶装置 135 であるとき、OE 同期データ情報転送処理 317 に移行し、I/O 機器 136 であるとき、DACK 同期データ情報転送処理 318 に移行する。

【0080】

OE 同期データ情報転送処理 317 は、連想メモリ制御部 105 およびプロトコルチェッカ 125 において、出力イネーブル信号線 128 がアサートされたとき、アドレス・データ制御部 104 からドライブされているデータ線の値をライトデータ情報信号線 120 にドライブし、ライトイネーブル信号線 118 をオンにする処理であり、この処理を終えると、データバッファリング処理 202 を終了する。

【0081】

DACK同期データ情報転送処理318は、連想メモリ制御部105およびプロトコルチェッカ125において、データ・アクノリッジ信号線129がアサートされたとき、アドレス・データ制御部104からドライブされているデータ線の値をライトデータ情報信号線120にドライブし、ライトイネーブル信号線118をオンにする処理であり、この処理を終えると、データバッファリング処理202を終了する。

【0082】

以上が図2のデータバッファリング処理202の詳しい動作である。

【0083】

次に、図2のバッファデータ転送処理204を詳しく説明する。図4はバッファデータ転送処理204の詳しい動作を表すフロー図である。

【0084】

図4において、401は、ローカルバスアイドル判別処理であり、402は、アクノリッジアサート処理であり、403は、サイクル判別処理であり、404は、第2の連想メモリデータ判別処理であり、405は、第2の連想メモリデータ転送処理であり、406は、バッファデータ判別処理であり、407は、バッファデータ転送処理であり、408は、アドレス判別処理であり、409は、システムバスリクエスト処理であり、410は、システムバスアクノリッジ判別処理であり、411は、システムバスマスタ処理であり、412は、ローカルバスターゲット処理であり、413は、第2の連想メモリアドレス情報有効化処理であり、414は、ローカルバスリトライ応答処理であり、415は、アクノリッジディアサート処理である。

【0085】

ローカルバスアイドル判別処理401は、バス調停部103において、ローカルバス137がアイドル状態か、もしくはリクエストを受けているローカルバスマスタに現在アクノリッジを出しているかどうかを判別する処理であり、ローカルバス137がアイドル状態か、もしくはリクエストを受けているローカルバスマスタに現在アクノリッジを出しているとき、アクノリッジアサート処理402

に移行し、そうでないとき、引き続きローカルバスアイドル判別処理401にとどまる。

【0086】

アクノリッジアサート処理402は、バス調停部103において、アクノリッジ信号線140をアサートする処理であり、この処理を終えるとサイクル判別処理403に移行する。

【0087】

サイクル判別処理403は、ブリッジ制御部102においてローカルバス137のサイクル発生を監視し、発生したサイクルがリードサイクルであるかどうかを判別する処理であり、リードサイクルであれば第2の連想メモリデータ判別処理404に移行し、そうでないときアドレス判別処理408に移行する。つまり、ローカルバスがリードサイクルにあれば、ローカルバス上にデータを転送する処理に移行し、リードサイクルでない場合はシステムバス132上のリソースへの書き込み要求であるのでバス調停部134に対してバス調停のリクエストをアサートする処理に移行する。

【0088】

第2の連想メモリデータ判別処理404は、連想メモリ制御部105において、今回転送するデータが、現在データ転送が未処理であるデータ転送要求としてエントリされたものであるか否かを調べる処理であり、データ有効ビット116がオンのときは、アドレス情報113の値をアドレス比較部107に転送し、アドレス比較部107においてローカルバス137でドライブされているアドレスと一致するかどうかを判別する。一致した場合は、第2の連想メモリデータ転送処理405に移行する。一致しない場合、連想メモリ106中に今回転送するデータが存在するかを確認するため、バッファデータ判別処理406に移行する。また、データ有効ビット116がオフの場合は、現在データ転送が未処理であるデータ転送要求がないので、バッファデータ判別処理406に移行する。

【0089】

第2の連想メモリデータ転送処理405は、連想メモリ制御部105において、データ情報114からデータを読み出し、アドレス・データ制御部104にお

いて、そのデータをローカルバス 1 3 7 にドライブしてローカルバスのサイクルに
応答する処理であり、この処理を終えるとバッファデータ転送処理 2 0 4 を終
了する。

【 0 0 9 0 】

バッファデータ判別処理 4 0 6 は、連想メモリ制御部 1 0 5 において、ローカ
ルバス 1 3 7 でドライブされているアドレスに該当するエントリ番号の有効ビッ
ト 1 1 2 がオンのとき、アドレス情報 1 1 0 からアドレスをアドレス比較部 1 0
7 に転送し、アドレス比較部 1 0 7 において、ローカルバス 1 3 7 でドライブさ
れているアドレスと一致するかどうかを判別する処理で、一致する場合、バッ
ファデータ転送処理 4 0 7 に移行し、一致しない場合、アドレス判別処理 4 0 8 に
移行する。つまり、この場合は連想メモリ 1 0 6 内にバッファリングされている
データによってはデータ転送要求に応えることができないため、実際にシステム
バス 1 3 2 上のリソースにアクセスする必要があるか否かを確認する処理に移行
する。ローカルバス 1 3 7 でドライブされているアドレスに該当するエントリ番
号の有効ビット 1 1 2 がオフのとき、アドレス判別処理 4 0 8 に移行する。

【 0 0 9 1 】

バッファデータ転送処理 4 0 7 は、連想メモリ制御部 1 0 5 において、連想メ
モリ制御部 1 0 5 において、バッファデータ判別処理 4 0 6 で一致したアドレス
情報 1 1 0 をもつ連想メモリ 1 0 6 内のエントリのデータ情報 1 1 1 からデータ
を読み出し、アドレス・データ制御部 1 0 4 において、そのデータをローカルバ
ス 1 3 7 にドライブしてローカルバスのサイクルに応答する処理であり、この処
理を終えるとバッファデータ転送処理 2 0 4 を終了する。

【 0 0 9 2 】

アドレス判別処理 4 0 8 は、アドレス・データ制御部 1 0 4 において、ローカ
ルバス 1 3 7 にドライブされたアドレスをデコードし、このアドレスがシステム
バス 1 3 2 上のデバイスに割り当てられたメモリ空間にあるとき、システムバス
リクエスト処理 4 0 9 に移行し、そうでないとき、バッファデータ転送処理 2 0
4 を終了する。

【 0 0 9 3 】

システムバスリクエスト処理409は、バス調停部103において、リクエスト信号線130をアサートする処理であり、この処理を終えるとシステムバスアクノリッジ判別処理410に移行する。

【0094】

システムバスアクノリッジ判別処理410は、バス調停部103において、アクノリッジ信号線131がアサートされたかどうかを判別する処理であり、アクノリッジ信号131がアサートされたとき、システムバスマスタ処理411に移行し、そうでないとき、第2の連想メモリアドレス情報有効化処理413に移行する。

【0095】

システムバスマスタ処理411は、アドレス・データ制御部104において、システムバス132にサイクルを発生させ、ローカルバス137から受けているデータ転送要求をシステムバス上に起こす処理であり、この処理を終えるとローカルバスターゲット処理412に移行する。

【0096】

ローカルバスターゲット処理412は、アドレス・データ制御部104において、システムバスマスタ処理411で起こしたデータ転送要求の結果をローカルバス137にドライブする処理であり、この処理を終えるとバッファデータ転送処理204を終了する。

【0097】

第2の連想メモリアドレス情報有効化処理413は、連想メモリ制御部105において、ローカルバス137にドライブされたアドレスをアドレス情報113に転送し、アドレス有効ビット115をオンにする処理であり、この処理を終えると、ローカルバスリトライ応答処理414に移行する。

【0098】

ローカルバスリトライ応答処理414は、アドレス・データ制御部104において、ローカルバス137に対し、リトライ応答する処理であり、この処理を終えるとアクノリッジディアサート処理415に移行する。

【0099】

アクノリッジディアサート処理415は、バス調停部103において、アクノリッジ信号線140をディアサートする処理であり、この処理を終えるとバッファデータ転送処理204を終了する。

【0100】

以上が、図2に示したバッファデータ転送処理204の処理である。

【0101】

次に、本実施形態1のデータ転送装置の動作を実際のデータ転送を例に説明する。

【0102】

図5は本実施形態1のデータを用いた動作の一例を示すタイミングチャートを示す図である。

【0103】

図5において、501は、リクエスト信号線130の状態であり、502は、アクノリッジ信号線131の状態であり、503は、システムバス132のアドレス線の状態であり、504は、システムバス132のデータ線の状態であり、505は、システムバス132のリード／ライト信号線の状態であり、506は、チップセレクト信号線126の状態であり、507は、出力イネーブル信号線128の状態であり、508は、チップセレクト信号線127の状態であり、509は、データ・アクノリッジ信号線129の状態であり、510は、ライトエントリセレクト信号線117の状態であり、511は、ライトイネーブル信号線118の状態であり、512は、ライトアドレス情報信号線119の状態であり、513は、ライトデータ情報信号線120の状態であり、514は、連想メモリ106のエントリ0のアドレス情報110の状態であり、515は、連想メモリ106のエントリ0のデータ情報111の状態であり、516は、連想メモリ106のエントリ1のアドレス情報110の状態であり、517は、連想メモリ106のエントリ1のデータ情報111の状態であり、518は、アドレス有効ビット115の状態であり、519は、アドレス情報113の状態であり、520は、データ有効ビット116の状態であり、521は、データ情報114の状態であり、522は、リードエントリセレクト信号線121の状態であり、52

3 は、リードアドレス情報信号線 1 2 2 の状態であり、5 2 4 は、リードデータ情報信号線 1 2 3 の状態であり、5 2 5 は、リクエスト信号線 1 3 9 の状態であり、5 2 6 は、アクノリッジ信号線 1 4 0 の状態であり、5 2 7 は、ローカルバス 1 3 7 のリード／ライト信号線の状態であり、5 2 8 は、ローカルバス 1 3 7 のアドレス線の状態であり、5 2 9 は、ローカルバス 1 3 7 のデータ線の状態であり、5 3 0 は、ローカルバス 1 3 7 でのブリッジ 1 0 1 の応答状態である。

【0 1 0 4】

まず、システムバスサイクル発生判別処理 2 0 1 で、5 5 1 から 5 5 3 に示すように、アドレス 4020 にデータ dataw を書込むサイクルが発生しているので、データバッファリング処理 2 0 2 に移行する。

【0 1 0 5】

次に、データバッファリング処理 2 0 2 では、まず、バスブリッジターゲット判別処理 3 0 1 が実行されるが、5 5 4 に示すように、チップセレクト信号線 1 2 7 がアサートされており、バスブリッジ 1 0 1 はこのサイクルのターゲットではないので、アドレス保持処理 3 0 3 に移行する。

【0 1 0 6】

次に、アドレス保持処理 3 0 3 では、アドレス・データ制御部 1 0 4 の内部にアドレス 4020 を保持し、アドレス有効ビット判別処理 3 0 4 に移行する。

【0 1 0 7】

次に、アドレス有効ビット判別処理 3 0 4 では、5 5 5 に示すように、アドレス有効ビット 1 1 5 がオフであるので、エントリ番号選択処理 3 1 2 に移行する。

【0 1 0 8】

次に、エントリ番号選択処理 3 1 2 では、アドレス 4020 からエントリ番号 0 を選択し、5 5 6 に示すように、ライトエントリセレクト信号線 1 1 7 に 0 をドライブし、アドレス情報転送処理 3 1 3 に移行する。

【0 1 0 9】

次に、アドレス情報転送処理 3 1 3 では、5 5 7 に示すように、ライトアドレス情報信号線 1 1 9 にアドレス 4020 をドライブし、サイクル判別処理 3 1 4 に移

行する。

【0110】

次に、サイクル判別処理314では、553に示すように、このサイクルがライトサイクルであることから、データ情報転送処理315に移行する。

【0111】

次に、データ情報転送処理315では、558に示すように、ライトデータ情報信号線120にデータdatawをドライブし、また、559に示すように、ライトイネーブル信号線118をアサートし、560、561に示すように、連想メモリ106のエントリ0のアドレス情報110とデータ情報111にそれぞれアドレス4020とデータdatawを書込み、データバッファリング処理202を終了する。

【0112】

次に、ローカルバスリクエスト発生判別処理203では、562に示すように、リクエスト信号線139がアサートされていないので、システムバスサイクル発生判別処理201に戻る。

【0113】

次に、システムバスサイクル発生判別処理201で、563、564に示すように、アドレス4000のデータを読み出すサイクルが発生しているので、データバッファリング処理202に移行する。

【0114】

データバッファリング処理202では、バスブリッジターゲット判別処理301からアドレス情報転送処理313までは、アドレスの値が違っただけで、上に述べたアドレス4020にデータdatawを書込むサイクルの場合と同様の処理がなされる。

【0115】

次に、サイクル判別処理314では、564に示すように、このサイクルがリードサイクルであることから、ターゲット判別処理316に移行する。

【0116】

次に、ターゲット判別処理316では、554に示すように、チップセレクト

信号線 127 がアサートされていることから、I/O 機器 136 がバスターゲットであると判別し、DACK 同期データ情報転送処理 318 に移行する。

【0117】

次に、DACK 同期データ情報転送処理 318 では、565 に示すように、データ・アクノリッジ信号線 129 がアサートされたとき、566 に示すように、データ data0 をライトデータ情報信号線 120 にドライブし、567 に示すように、ライトイネーブル信号線 118 をオンにし、568、569 に示すように、連想メモリ 106 のエントリ 0 のアドレス情報 110 とデータ情報 111 にそれぞれアドレス 4000 とデータ data0 を書き込み、データバッファリング処理 202 を終了し、ローカルバスリクエスト発生判別処理 203 に移行する。

【0118】

次に、ローカルバスリクエスト発生判別処理 203 では、570 に示すように、リクエスト信号線 139 がアサートされているので、バッファデータ転送処理 204 に移行する。

【0119】

次に、バッファデータ転送処理 204 では、まず、ローカルバスアイドル判別処理 401 が実行されるが、ローカルバス 137 はアイドル状態にあるので、アクノリッジアサート処理 402 に移行する。

【0120】

次に、アクノリッジアサート処理 402 では、571 に示すように、アクノリッジ信号線 140 をアサートし、サイクル判別処理 403 に移行する。

【0121】

次に、サイクル判別処理 403 では、572 に示すように、ローカルバス 137 で発生したサイクルがリードサイクルであるので、第 2 の連想メモリデータ判別処理 404 に移行する。

【0122】

次に、第 2 の連想メモリデータ判別処理 404 では、573 に示すように、データ有効ビット 116 がオフなので、バッファデータ判別処理 406 に移行する。

【0123】

次に、バッファデータ判別処理406では、574に示すように、ローカルバス137でドライブされているアドレス4008に該当するエントリ番号0のアドレス情報110のアドレスが568に示すように、4000であり、4008と一致しないので、アドレス判別処理408に移行する。

【0124】

次に、アドレス判別処理408では、ローカルバス137にドライブされたアドレス4008をデコードし、このアドレスがシステムバス132上のデバイスに割り当てられたメモリ空間にあるので、システムバスリクエスト処理409に移行する。

【0125】

次に、システムバスリクエスト処理409では、575に示すように、リクエスト信号線130をアサートし、システムバスアクノリッジ判別処理410に移行する。

【0126】

次に、システムバスアクノリッジ判別処理410では、576に示すように、アクノリッジ信号線131がアサートされていないので、第2の連想メモリアドレス情報有効化処理413に移行する。

【0127】

次に、第2の連想メモリアドレス情報有効化処理413では、577、578に示すように、ローカルバス137にドライブされたアドレス4008をアドレス情報113に転送し、アドレス有効ビット115をオンにし、ローカルバスリトライ応答処理414に移行する。

【0128】

次に、ローカルバスリトライ応答処理414では、579に示すように、ローカルバス137に対し、リトライ応答し、アクノリッジディアサート処理414に移行する。

【0129】

次に、アクノリッジディアサート処理414では、580に示すように、アク

ブリッジ信号線140をディアサートし、バッファデータ転送処理204を終了し、システムバスサイクル発生判別処理201に戻る。

【0130】

次に、システムバスサイクル発生判別処理201では、564、581に示すように、システムバス132上に、アドレス4008のリードサイクルが発生しているので、データバッファリング処理202に移行する。

【0131】

次に、データバッファリング処理202では、まず、バスブリッジターゲット判別処理301が実行されるが、554に示すように、チップセレクト信号線127がアサートされており、バスブリッジ101はこのサイクルのターゲットではないので、アドレス保持処理303に移行する。

【0132】

次に、アドレス保持処理303では、アドレス・データ制御部104の内部にアドレス4008を保持し、アドレス有効ビット判別処理304に移行する。

【0133】

次に、アドレス有効ビット判別処理304では、578に示すように、アドレス有効ビット115がオンであるので、第2の連想メモリアドレス情報判別処理305に移行する。

【0134】

次に、第2の連想メモリアドレス情報判別処理305では、アドレス保持処理204で保持されたアドレス4008と、577に示すように、アドレス情報113に保持されたアドレス4008とが一致するので、サイクル判別処理306に移行する。

【0135】

次に、サイクル判別処理306では、564に示すように、リードサイクルなので、ターゲット判別処理308に移行する。

【0136】

次に、ターゲット判別処理308では、554に示すように、チップセレクト信号線127がアサートされているので、バスターゲットがI/O機器136で

あると判別し、第2の連想メモリDACK同期データ情報転送処理310に移行する。

【0137】

次に、第2の連想メモリDACK同期データ情報転送処理310では、582に示すように、データ・アクノリッジ信号線129がアサートされたとき、583に示す、データ信号線の値data2が、584に示すように、データ情報114に書込まれ、第2の連想メモリデータ情報有効化処理311に移行する。

【0138】

次に、第2の連想メモリデータ情報有効化処理311では、585に示すように、第2の連想メモリ108のデータ有効ビット116をオンにし、データバッファリング処理202を終了し、ローカルバスリクエスト発生判別処理203に移行する。

【0139】

続いて、586、587に示すように、アドレス400Cとデータdata3がエントリ1に書込まれ、さらに、588、589に示すように、アドレス4010とデータdata4がエントリ0に書込まれた後、ローカルバスリクエスト発生判別処理203で、590に示す、リクエスト信号線139のアサートが判別され、バッファデータ転送処理204に移行する。

【0140】

次に、バッファデータ転送処理204では、まず、ローカルバスアイドル判別処理401が実行されるが、ローカルバス137はアイドル状態にあるので、アクノリッジアサート処理402に移行する。

【0141】

次に、アクノリッジアサート処理402では、591に示すように、アクノリッジ信号線140をアサートし、サイクル判別処理403に移行する。

【0142】

次に、サイクル判別処理403では、592に示すように、ローカルバス137で発生したサイクルがリードサイクルであるので、第2の連想メモリデータ判別処理404に移行する。

【0143】

次に、第2の連想メモリデータ判別処理404では、585に示すように、データ有効ビット116がオンなので、577に示す、アドレス情報113の値4008と、593に示す、ローカルバス137でドライブされているアドレス4008が一致するので、第2の連想メモリデータ転送処理405に移行する。

【0144】

次に、第2の連想メモリデータ転送処理405では、データ情報114から、584に示すデータdata2を読み出し、594に示すように、ローカルバス137のデータ信号線にドライブしてバッファデータ転送処理204を終了する。

【0145】

この後、595に示すように、ローカルバス137上にアドレス400Cへのリードサイクルが発生しているとき、バッファデータ判別処理406で、586に示す、エントリ番号1のアドレス情報110のアドレス400Cとローカルバス137でドライブされているアドレス400Cが一致していると判別され、バッファデータ転送処理407に移行する。

【0146】

次に、バッファデータ転送処理407では、エントリ1のデータ情報111から、587に示すデータdata3を読み出し、596に示すように、ローカルバス137のデータ信号線にドライブする。

【0147】

なお、連想メモリ106のエントリ数は2としたが、1であっても、また、3以上であってもよい。エントリ数が大きいほど効果は大きい、ブリッジの回路規模が大きくなる。

【0148】

(実施形態2)

上記の実施形態1に示したデータ転送装置および方法では、ローカルバス137上にはバスブリッジ101以外にはI/O機器138しかデバイスが存在していない例を説明したが、他にもデバイスが存在して、それらのデバイス間でデータ転送が行われるとき、それをバスブリッジ内の別のバッファに保持することに

より、システムバス132からこのデータへのアクセスが発生したとき、ローカルバス137にアクセスすることなく、バッファからデータを転送することができる。また、別のバッファを設けることにより、ローカルバス137上のデバイス間で転送され、保持されたデータが、システムバス132上のデバイス間で転送され、保持されるデータで上書きされることがない。図6はそのようなローカルバス用の連想メモリ603を含むバスブリッジの概念図である。図1では、システムバス用の連想メモリ106のみが設けられた構成であったが、本実施形態2の図6の構成では、システムバス用の連想メモリ106に加え、ローカルバス用の連想メモリ604も設けられている。

【0149】

図6において、601は、バスブリッジであり、602は、ブリッジ制御部であり、603は、連想メモリ制御部であり、604は、連想メモリであり、605は、アドレス比較部であり、606は、第2の連想メモリ、607は、バス調停部であり、608は、DMAコントローラであり、609は、リクエスト信号線であり、610は、アクノリッジ信号線であり、611は、メモリである。

【0150】

バスブリッジ601は、システムバス132上で転送されるアドレスとデータを連想メモリ106に保持し、また、ローカルバス137上で転送されるアドレスとデータを連想メモリ604に保持し、システムバス132上のサイクルでローカルバス137上のアドレスからのデータ転送要求が発生して、そのデータが連想メモリ604に保持されている場合は、ローカルバスにサイクルを発生させることなく、連想メモリ604に保持されたデータをシステムバス132上に転送する。

【0151】

ブリッジ制御部602は、バスブリッジ601全体の動作の制御を行う。

【0152】

連想メモリ制御部603は、連想メモリ604、第2の連想メモリ606と接続し、I/O機器138、DMAコントローラ608、メモリ611の間で転送されるアドレスおよびデータを連想メモリ604もしくは第2の連想メモリ60

6に転送する。また、CPU133からメモリ611へのリードサイクルが発生した場合、ドライブされているアドレスが連想メモリ604もしくは第2の連想メモリ606に保持されていれば、連想メモリ604もしくは第2の連想メモリ606からデータを読み出し、アドレス・データ制御部104に転送する。

【0153】

第2の連想メモリ606は、実施形態1で説明した第2の連想メモリ108と同様のものである。連想メモリ制御部603と接続され、ローカルバスからのデータ転送要求に対して該当するデータが連想メモリ604に含まれていない場合に連想メモリ制御部603から当該データ転送要求にかかるアドレスが書き込まれるものである。

【0154】

バスブリッジ601は、連想メモリ106とは別に連想メモリ604を持っているので、例えばDMAコントローラ608からメモリ611へ書込まれるデータを連想メモリ604に保持することにより、CPU133からこのデータへのアクセスが発生したとき、メモリ611にアクセスすることなく、連想メモリ604からデータを転送することができる。また、このデータが、システムバス132上のデバイス間で転送され、保持されるデータで上書きされることがない。

【0155】

ローカルバス用の連想メモリ604を中心としたデータ転送処理の詳しい処理動作は、実施形態1で説明したシステムバス用の連想メモリ106を中心としたデータ転送処理の詳しい処理動作と同様に考えることができる。

【0156】

【発明の効果】

以上説明したように、システムバス上にドライブされたアドレス情報とデータ情報をバスブリッジ内の連想メモリに保持することにより、このアドレスへのリードアクセスがローカルバス上のバスマスタから発生した場合、システムバスの使用権を獲得する必要や、システムバス上のリードサイクルを発生させる必要がないので、早急にバスマスタにデータを転送することが可能となる。

【0157】

また、ローカルバス上にドライブされたアドレス情報とデータ情報をバスブリッジ内の連想メモリに保持することにより、このアドレスへのリードアクセスがシステムバス上のバスマスタから発生した場合、ローカルバスの使用権を獲得する必要や、ローカルバス上のリードサイクルを発生させる必要がないので、早急にバスマスタにデータを転送することが可能である。

【図面の簡単な説明】

【図 1】 本発明の実施形態 1 のデータ転送装置の概略図

【図 2】 実施形態 1 のデータ転送装置の動作を表すフロー図

【図 3】 データバッファリング処理の詳しい動作を表すフロー図

【図 4】 バッファデータ転送処理の詳しい動作を表すフロー図

【図 5】 実施形態 1 のデータを用いた動作の一例を示すタイミングチャートを示す図

【図 6】 実施形態 2 のローカルバス用のバッファを持つバスブリッジの概念図

【図 7】 従来のデータ転送装置の概念図

【図 8】 従来のデータ転送装置の動作のタイミングチャートを示す図

【符号の説明】

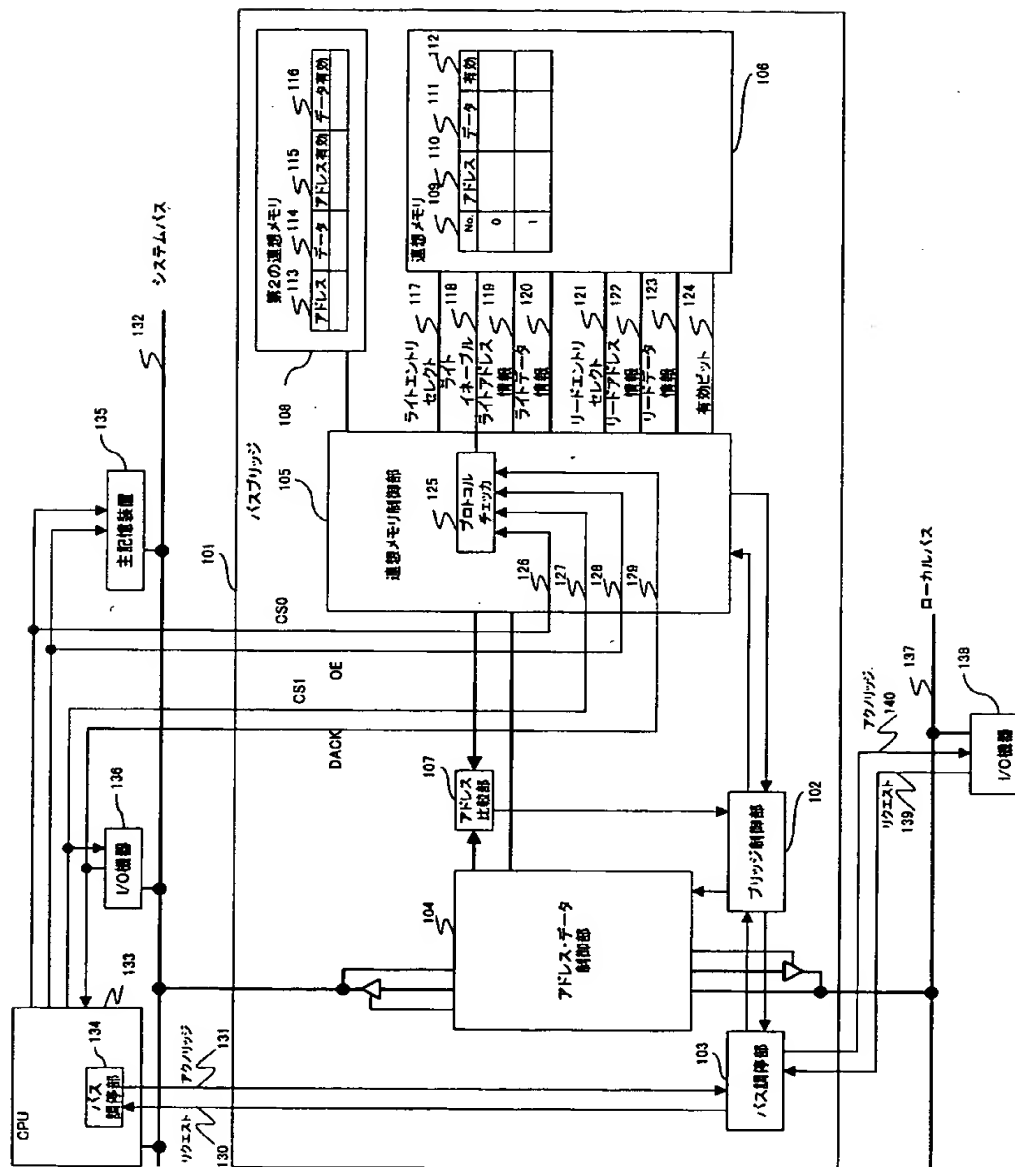
- 1 CPU
- 2 バス調停部
- 3 主記憶装置
- 4 I/O 機器
- 5 バスブリッジ
- 6 ブリッジ制御部
- 7 バス調停部
- 8 アドレス・データ制御部
- 5 1 システムバスの使用権の状態
- 5 2 バスブリッジ 5 からバス調停部 2 へのリクエスト信号線の状態
- 5 3 バス調停部 2 からバスブリッジ 5 へのアクノリッジ信号線の状態
- 5 4 システムバスのアドレス線の状態

- 5 5 システムバスのデータ線の状態
- 5 6 システムバスのリード／ライト線の状態
- 5 7 I／O機器 9 からバス調停部 7 へのリクエスト信号線の状態
- 5 8 バス調停部 7 から I／O機器 9 へのアクノリッジ信号線の状態
- 5 9 ローカルバスのアドレス線の状態
- 6 0 ローカルバスのデータ線の状態
- 6 1 ローカルバスのリード／ライト線の状態
- 1 0 1 バスブリッジ
- 1 0 2 ブリッジ制御部
- 1 0 3 バス調停部
- 1 0 4 アドレス・データ制御部
- 1 0 5 バッファ制御部
- 1 0 6 バッファ
- 1 0 7 アドレス比較部
- 1 0 8 第 2 の連想メモリ
- 1 0 9 エントリ番号
- 1 1 0 アドレス情報
- 1 1 1 データ情報
- 1 1 2 有効ビット
- 1 1 3 アドレス情報
- 1 1 4 データ情報
- 1 1 5 アドレス有効ビット
- 1 1 6 データ有効ビット
- 1 1 7 ライトエントリセレクト信号線
- 1 1 8 ライトイネーブル信号線
- 1 1 9 ライトアドレス情報信号線
- 1 2 0 ライトデータ情報信号線
- 1 2 1 リードエントリセレクト信号線
- 1 2 2 リードアドレス情報信号線

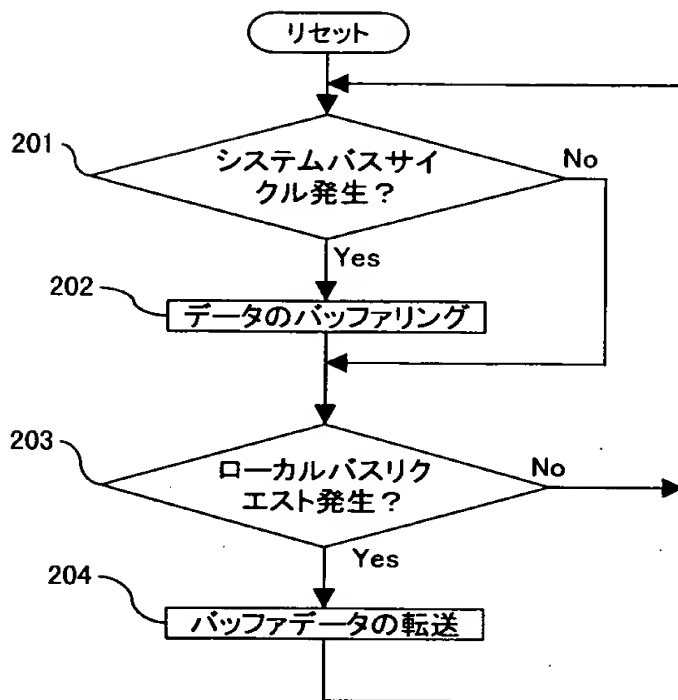
- 1 2 3 リードデータ情報信号線
- 1 2 4 有効ビット信号線
- 1 2 5 プロトコルチェッカ
- 1 2 6、1 2 7 チップセレクト信号線
- 1 2 8 出力イネーブル信号線
- 1 2 9 データ・アクノリッジ信号線
- 1 3 0 リクエスト信号線
- 1 3 1 アクノリッジ信号線
- 1 3 2 システムバス
- 1 3 3 CPU
- 1 3 4 バス調停部
- 1 3 5 主記憶装置
- 1 3 6 I/O機器
- 1 3 7 ローカルバス
- 1 3 8 I/O機器
- 1 3 9 リクエスト信号線
- 1 4 0 アクノリッジ信号線
- 6 0 1 バスブリッジ
- 6 0 2 ブリッジ制御部
- 6 0 3 バッファ制御部
- 6 0 4 バッファ
- 6 0 5 アドレス比較部
- 6 0 6 第2の連想メモリ
- 6 0 7 バス調停部
- 6 0 8 DMAコントローラ
- 6 0 9 リクエスト信号線
- 6 1 0 アクノリッジ信号線
- 6 1 1 メモリ

【書類名】 図面

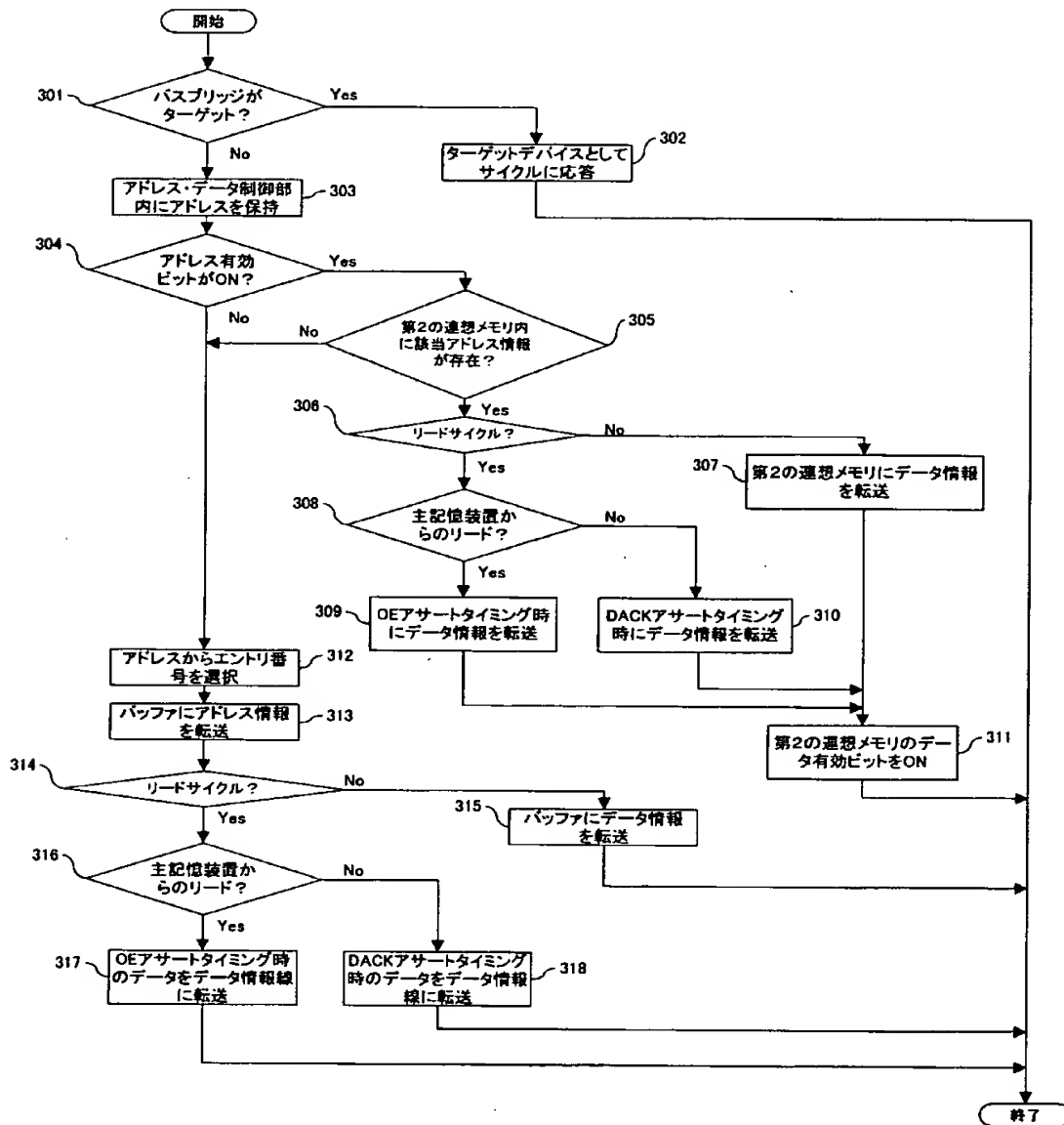
【図 1】



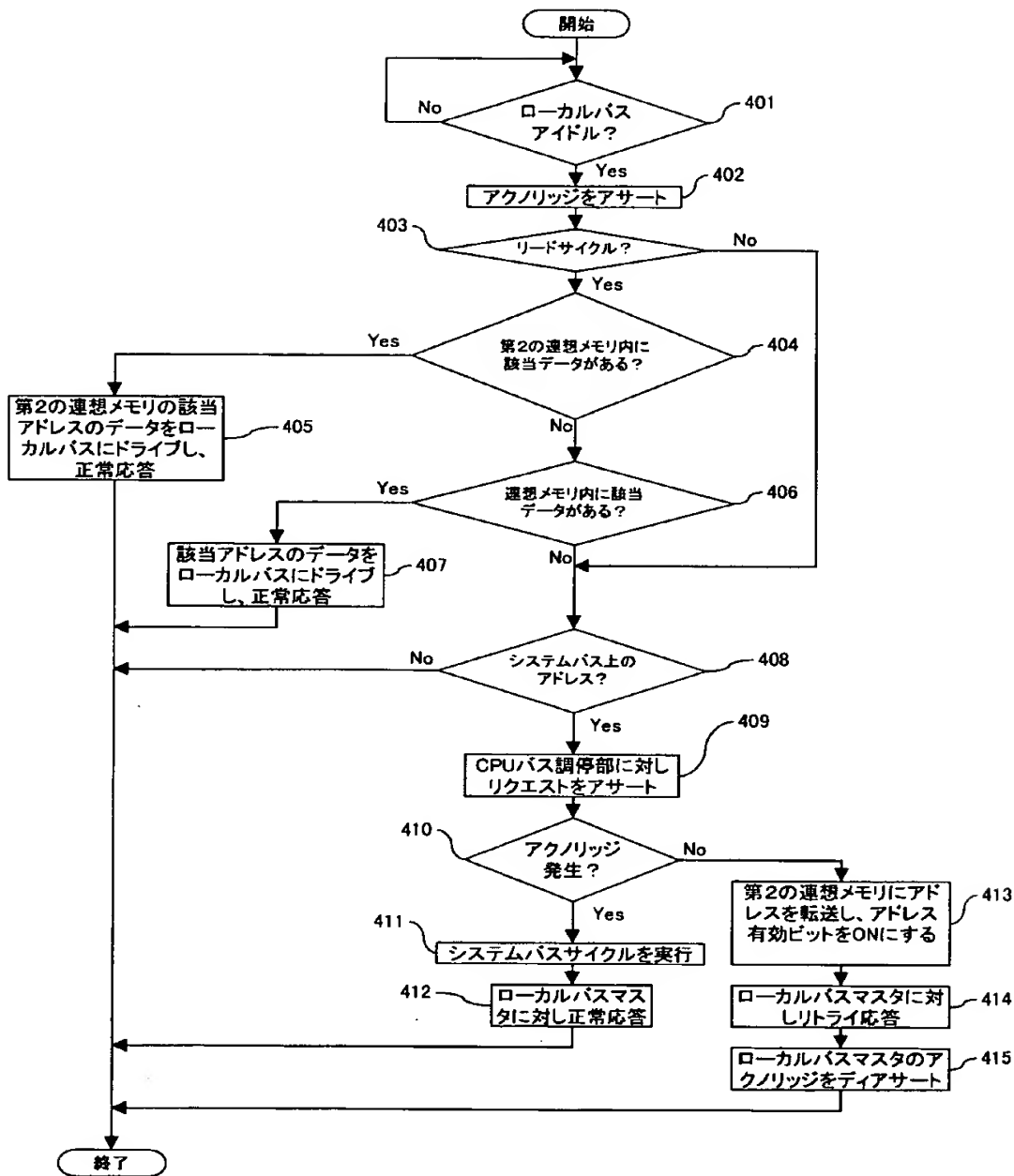
【図 2】



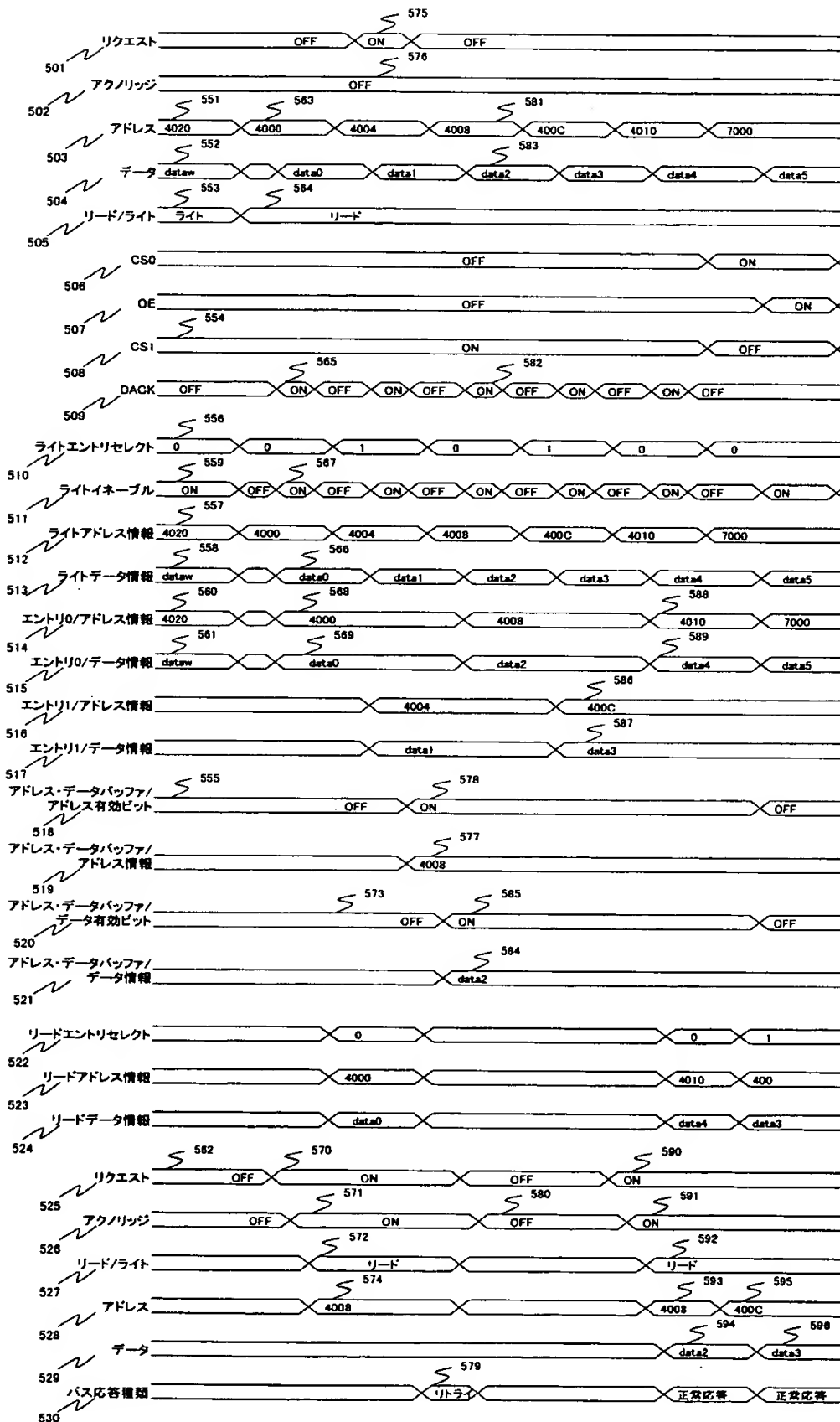
【図 3】



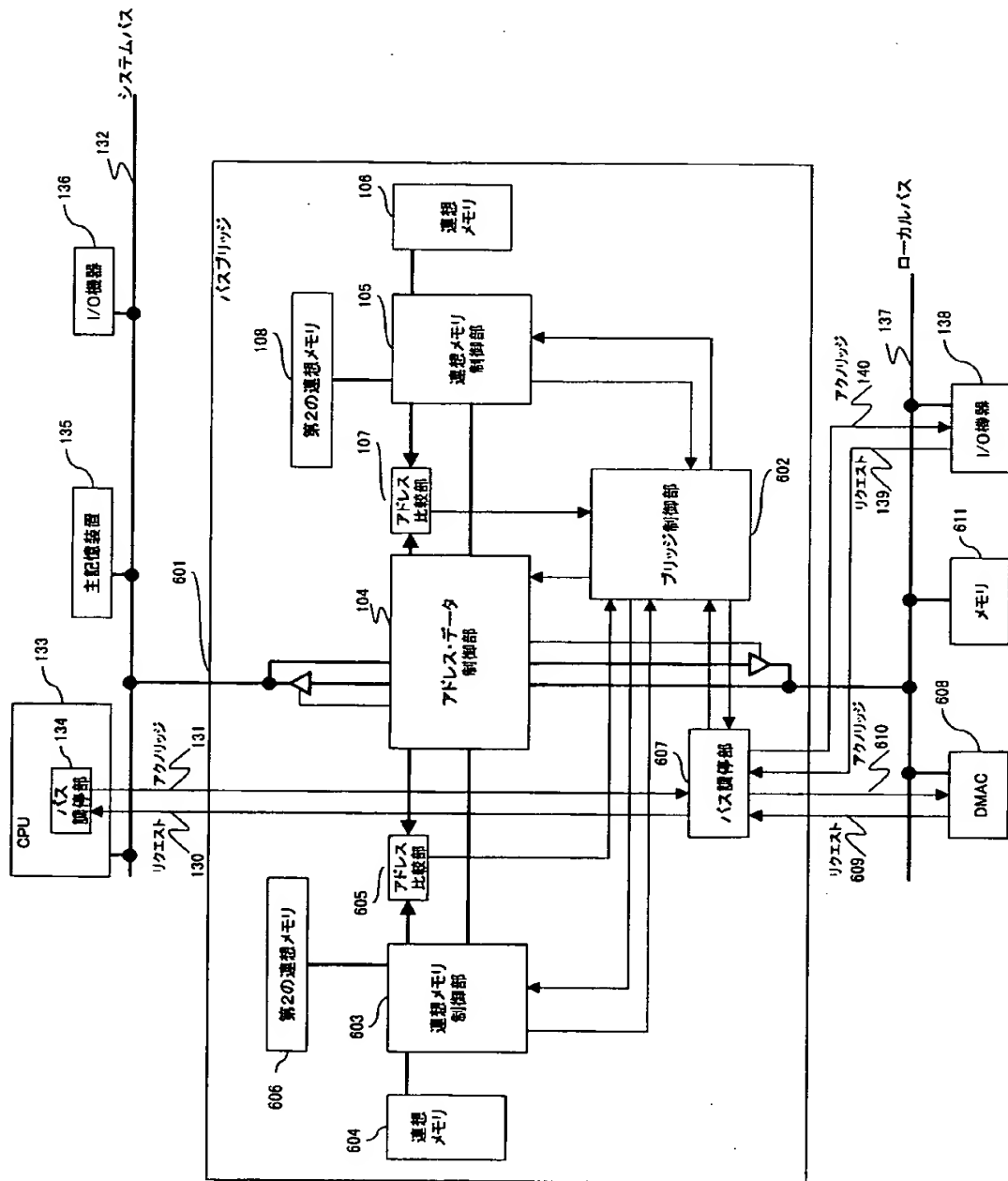
【図 4】



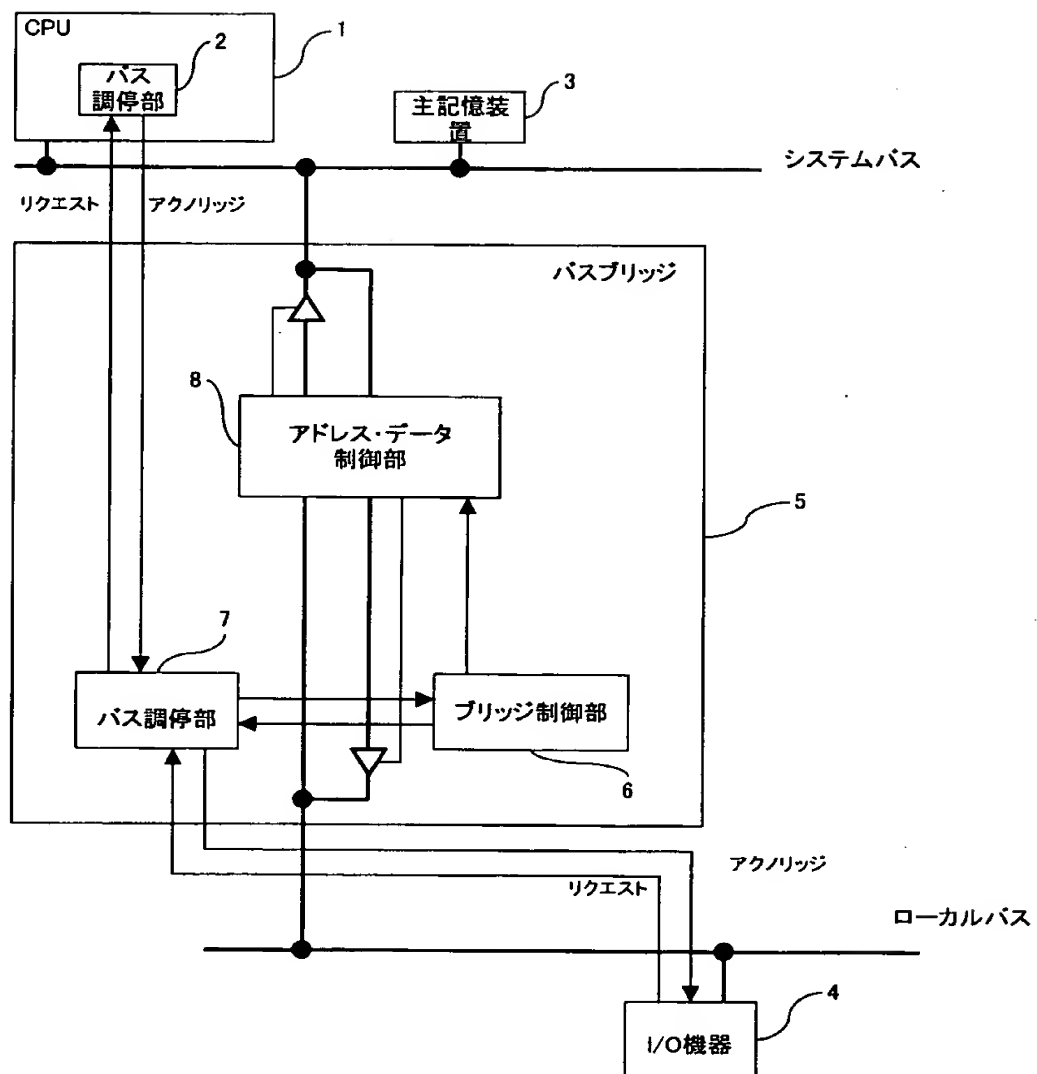
【図 5】



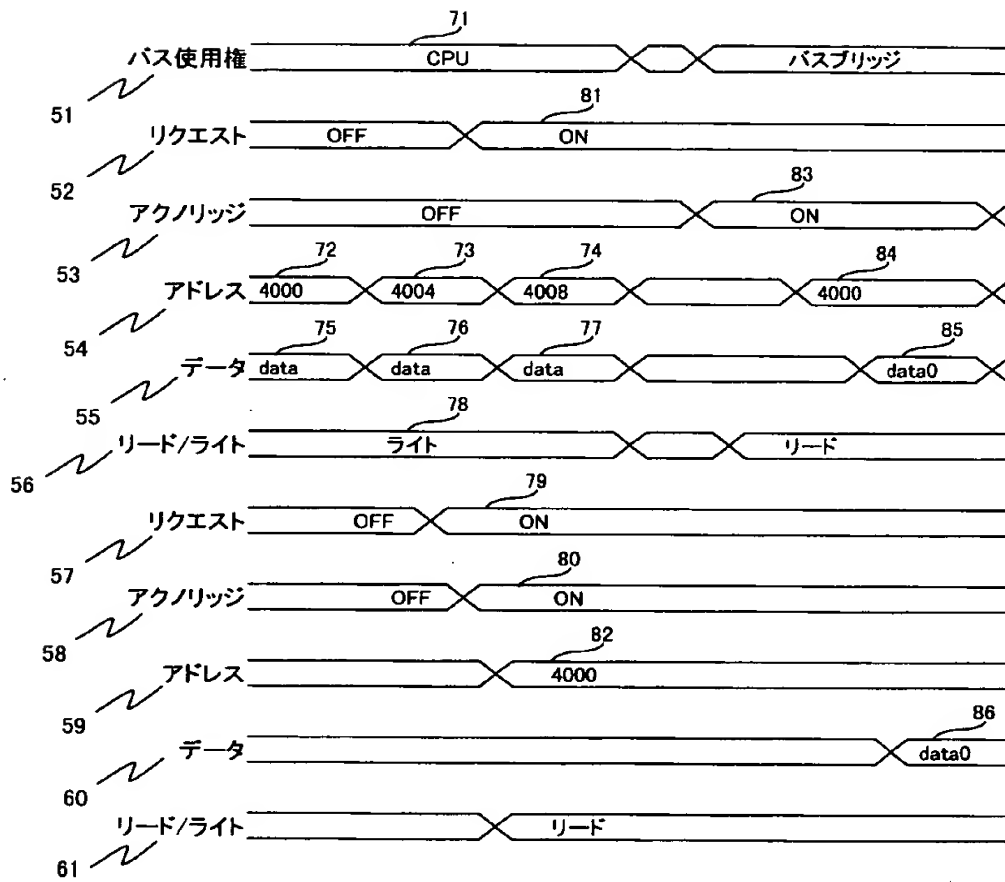
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 システムバスとローカルバスの間で高速にデータを転送するデータ転送装置を提供する。

【解決手段】 バスブリッジ 1 0 1 がシステムバス 1 3 2 とローカルバス 1 3 7 との間に接続され、システムバス 1 3 2 上で、CPU 1 3 3 と I/O 機器 1 3 6 と主記憶装置 1 3 5 との間で転送されるデータを連想メモリ制御部 1 0 5 を介して連想メモリ 1 0 6 に保持し、ローカルバス 1 3 7 上の I/O 機器 1 3 8 からこのデータへのアクセスが生じた場合、連想メモリ 1 0 6 から I/O 機器 1 3 8 にデータを転送する。従って、I/O 機器 1 3 8 から主記憶装置 1 3 5 へのデータ転送要求が生じたとき、このデータが連想メモリ 1 0 6 に保持されていればシステムバス 1 3 2 上でバスサイクルが発生しないので、高速にデータを転送することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社